

界面制御に基づく超低消費電力半導体ナノエレクトロニクスの創成

研究代表者

渡部平司 大阪大学大学院工学研究科

共同研究者

志村考功 大阪大学大学院工学研究科

細井卓治 大阪大学大学院工学研究科



1. 研究の背景と達成目標

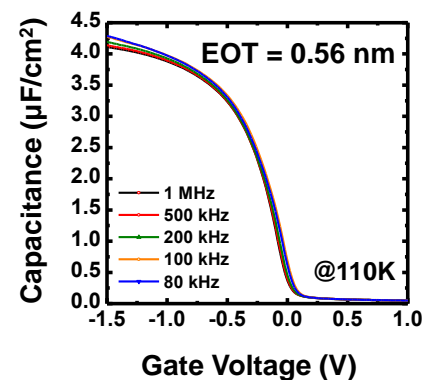
当初のシリコン基板での実験計画から、より難易度が高い高移動度ゲルマニウム基板上での Metal/High-k スタック作製技術の研究に取り組み、真空一貫プロセスを駆使して SiO₂ 換算膜厚 (EOT) 0.8nm 以下の実現とトランジスタ試作を通じた優位性実証を達成目標とした。さらに、S/D の低抵抗化を目指し、NiGe/Ge 接合でのショットキー特性変調技術を研究項目に追加し、フェルミレベルピニング解消技術の確立を目指した。

2. 主な研究成果と社会、学術へのインパクト

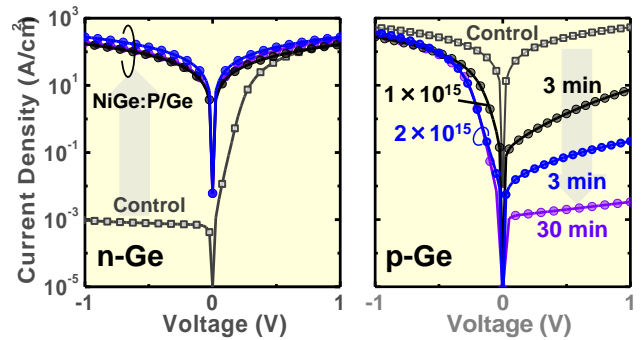
- MOSFET を構成する金属電極/高誘電率絶縁膜 (Metal/High-k) ゲートスタックの作製において、原子層厚の金属酸化物層を挿入することで界面反応を制御し、これと合わせて真空一貫での Metal/High-k スタックの連続堆積や ECR プラズマ照射による膜質改善技術を提案し、その優位性を実証した。
- 真空一貫での高品質 Metal/High-k ゲートスタック作製技術を、シリコン半導体に代わる次世代の高移動度ゲルマニウム半導体に応用展開し、電気膜厚薄層化、界面電気特性向上、リーク電流低減の全ての性能に優れた Ge-MOS スタックの作製に成功した。
- 高性能 Ge-MOSFET 実現に向けた課題として、ソース/ドレイン (S/D) 領域での Metal/Ge 接合特性制御技術の研究開発に取り組み、NiGe/Ge 界面へのドーパント原子偏析現象を利用したショットキーバリア変調手法を提案し、n-FET/p-FET それぞれに最適なコンタクト特性を得ることに成功した。さらに、本技術を用いて、高性能メタル S/D Ge-MOSFET を試作し、その優位性実証に成功した。
- これらの研究成果は、高度情報化社会を支える低消費電力集積回路の実現を目指した取り組みであり、産業応用上大きな意味を持つ。さらに、真空一貫プロセスを基軸とした原子層レベルでの界面反応制御に関する研究は、学術的にも重要な研究対象であり、ナノ界面科学の発展に大きく貢献する。

3. 研究成果

界面電気特性に優れた極薄 Metal/High-k/Ge ゲートスタックを作製するために、Ge 基板表面に 0.3nm 厚の AlO_x 層を堆積後、ECR プラズマ照射で AlO_x の高品質化と界面層成長を行い Al₂O₃/GeO_x/Ge 構造を形成した。さらに、1nm 厚の HfO₂ 層堆積と ECR プラズマによる高品質化、金属 Pt 電極までの工程を真空一貫で作製した Ge-MOS キャパシタの典型的な容量-電圧 (C-V) 特性を右に示す。最大容量密度から算出した EOT は 0.56nm であり、当初の目標 (0.8nm 以下) を Ge-MOS デバイスにおいて達成した。また、周波数分散が少ないことから、MOS 界面が電気特性にも優れること (低 D_{it}) を確認できる。さらに、従来の Poly-Si/SiO₂/Si 構造に対して約 5 桁のリーク電流低減を実現し、本技術を高移動度 Ge-MOSFET に適用することで、超低消費電力・高性能 Ge-MOSFET の作製が可能となる。



一方、Metal/Ge 界面ではフェルミレベルが価電子帯近傍にピンングされ、n-FET のコンタクト抵抗が増大する。本研究では、NiGe/Ge 構造に P イオンを注入することで、フェルミレベルピンングを解消できることを示した。右図に示すように、P イオン注入と400°Cアニールを施した試料ではピンングが解消し、n-Ge に対してオーミック特性を示す。さらに注入量とアニール時間を最適化した試料では、p-Ge に対して理想的な整流性を示し、その電子障壁は



0.09eV と算出された。これらの結果は、過去の報告例を上回る値であり、高性能 CMOSFET への応用が可能である。本研究期間の後半では、上記の Metal/High-k ゲートスタック作製技術と NiGe/Ge 接合特性制御技術を組み合わせることで、S/D 抵抗の低減が可能なメタル S/D Ge-MOSFET を試作し、良好な p-MOSFET 動作に加えて、従来作製が困難であった低 S/D 抵抗 n-MOSFET の作製に成功した。

4. 今後の展開

本研究成果をベースとして、低消費電力・高性能メタル S/D Ge-MOSFET の実現が期待される。さらに、我々が開発したゲートスタック作製法や Metal/Ge 接合特性変調技術は、高移動度 Ge デバイス開発における共通基盤技術であり、今後、立体構造デバイス等への応用展開が可能である。

5. 発表実績

- [1] T. Hosoi, I. Hideshima, R. Tanaka, Y. Minoura, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe, "Ge diffusion and bonding state change in metal/high-k/Ge gate stacks and its impact on electrical properties", *Microelectronic Engineering*, **109**, 137 (2013).
- [2] K. Chikaraishi, T. Minami, N. Kitano, T. Seino, N. Yamaguchi, T. Nakagawa, T. Hosoi, T. Shimura, and H. Watanabe, "Al-inserted TiN Gate Electrodes with Low-Pressure Oxidation for Effective Work Function Control of Gate-First Poly-Si/TiN/HfSiO Stacks", *The 43rd IEEE Semiconductor Interface Specialists Conference*, San Diego, CA, USA, December 6-8, 2012.
- [3] Y. Minoura, T. Hosoi, J. Matsugaki, S. Kuroki, T. Shimura, and H. Watanabe, "Phosphorous Ion Implantation into NiGe Layer for Ohmic Contact Formation on n-Ge", *2013 International Workshop on Dielectric Thin Films for Future Electron Devices: Science and Technology (IWDTF2013)*, Tokyo, Japan, November 7-9, 2013.
- [4] T. Hosoi, I. Hideshima, R. Tanaka, Y. Minoura, A. Yoshigoe, Y. Teraoka, T. Shimura, and H. Watanabe, "High-k/Ge Gate Stack with an EOT of 0.56 nm by Controlling Interface Reaction Using Ultrathin AlOx Interlayer" *The 44th IEEE Semiconductor Interface Specialists Conference*, Arlington, VA, USA, December 5-7, 2013.
- [5] Y. Minoura, H. Oka, T. Hosoi, J. Matsugaki, S. Kuroki, T. Shimura, and H. Watanabe, "Phosphorous Ion Implantation into NiGe Layer for Ohmic Contact Formation on n-type Ge", *Jpn. J. Appl. Phys.* (in press)
- [6] T. Hosoi, Y. Minoura, R. Asahara, H. Oka, T. Shimura, and H. Watanabe, "Sub-1-nm EOT Schottky Source/Drain Germanium CMOS Technology with Low-temperature Self-aligned NiGe/Ge Junctions", *2014 IEEE Silicon Nanoelectronics Workshop*, Honolulu, Hawaii, USA, June 8-9, 2014. (発表予定)
- [7] 田中亮平, 秀島伊織, 箕浦佑也, 吉越章隆, 寺岡有殿, 細井卓治, 志村考功, 渡部平司, "極薄 AlOx 層による High-k/Ge 界面反応抑制と EOT=0.56 nm の実現", *2013 年秋季第 74 回応用物理学関係連合講演会*, 同志社大学, 2013 年 9 月 16-20 日. (応用物理学学会講演奨励賞)